

HIGH DENSITY MRAM CELL ARRAY

Publication number: JP2004508707 (T)

Publication date: 2004-03-18

Inventor(s):

Applicant(s):

Classification:

- international: H01L27/105; H01L21/00; H01L21/8246; H01L27/108;
H01L27/22; H01L43/08; H01L43/12; H01L27/105; H01L;
H01L21/00; H01L21/70; H01L27/108; H01L27/22; H01L43/00;
H01L43/08; (IPC1-7): H01L27/105; H01L43/08

- European: H01L27/22M4F; H01L27/22; H01L43/12; Y01N4/00

Application number: JP20020524191T 20010809

Priority number(s): US20000649114 20000828; WO2001US25004 20010809

Also published as:

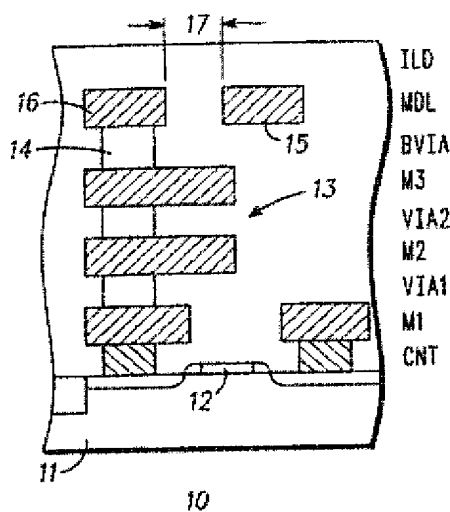
WO0219386 (A2)
WO0219386 (A3)
US6365419 (B1)
TW529163 (B)
EP1316106 (A2)

more >>

Abstract not available for JP 2004508707 (T)

Abstract of corresponding document: WO 0219386 (A2)

A method of fabricating an MRAM cell (10) includes providing an isolation transistor (12) on a semiconductor substrate (11) and forming an interconnect stack (13) on the substrate in communication with one terminal of the transistor. A via (14) is formed on the upper end of the stack so as to extend from a position below the digit line (15) to a position above the digit line. The via also extends above the upper surface of a dielectric layer (20) to provide an alignment key. A MTJ memory cell is positioned on the upper surface in contact with the via, and the ends of a free layer of magnetic material are spaced from the ends of a pinned edge of magnetic material by using sidewall spacers and selective etching.



Data supplied from the esp@cenet database — Worldwide

【特許請求の範囲】

【請求項 1】

分離用トランジスタを有した半導体基板を設ける工程と、
前記トランジスタの一端子と接続している相互接続スタックを前記基板上に形成する工程と、
前記相互接続スタックの上端に隣接してビットラインを設ける工程と、
前記ビットライン下方の位置から前記ビットラインの上方の位置に延在させるべく、前記相互接続スタックの前記上端にビアを形成する工程とからなる小型磁気抵抗ランダムアクセスメモリの製造方法。

10

【請求項 2】

前記ビアを形成する工程は、前記ビットラインを覆い、かつ前記ビアの上端を囲む誘電体材料からなる誘電体材料層を設ける工程からなり、同誘電体材料層は上面を有する請求項 1 に記載の小型磁気抵抗ランダムアクセスメモリの製造方法。

【請求項 3】

前記誘電体材料層を設ける工程は、アライメントキーを設けるために前記ビアの前記上端を前記誘電体材料層上面の上方に延伸させて前記誘電体材料層を形成する工程を含む請求項 2 に記載の小型磁気抵抗ランダムアクセスメモリの製造方法。

【請求項 4】

前記誘電体材料層の前記上面に磁気トンネル接合メモリセルを設ける工程をさらに有する請求項 3 に記載の小型磁気抵抗ランダムアクセスメモリの製造方法。

20

【請求項 5】

前記磁気トンネル接合メモリセルを前記誘電体材料層の前記上面に設ける工程は、
導電性の非磁性材料からなるブランケット層を前記誘電体材料層上面の上に前記ビアと接触させて成膜する工程と、
磁性材料からなるブランケット層を前記導電性非磁性材料ブランケット層の上に成膜する工程と、
トンネルバリア材料からなるブランケット層を前記磁性材料ブランケット層の上に成膜する工程と、
自由磁性材料からなる自由磁性材料層を前記ビットラインに重なる位置に設け、かつ前記自由磁性層頂部の最上金属層に前記磁気トンネル接合メモリセルの面積の大きさを決定する第 1 及び第 2 の端部及びエッジを設けるべく、前記トンネルバリア材料からなるブランケット層の上に前記自由磁性材料層及び前記最上金属層を形成する工程と、
サイドウォールスペーサを前記最上金属層の前記エッジ上に形成する工程と、
前記最上金属層に重なり、前記サイドウォールスペーサの少なくとも一部に重なるハードマスクを、自由磁性材料からなる前記層の前記エッジを超えて延在させて形成する工程と

30

、
前記磁性材料ブランケット層にエッジを設けて同エッジを前記自由磁性材料層の前記第 1 及び第 2 の端部からほぼ等距離だけ超えて延在させるべく、前記トンネルバリア材料ブランケット層、前記磁性材料ブランケット層、及び前記導電性非磁性材料ブランケット層を前記ハードマスクを使用してエッチングする工程とをさらに有する請求項 4 に記載の小型磁気抵抗ランダムアクセスメモリの製造方法。

40

【請求項 6】

前記ハードマスクを形成する工程は、エッチストップ材料からなるブランケット層を前記自由磁性材料層及び前記サイドウォールスペーサと重なる位置に成膜する工程と、ハードマスク材料からなるブランケット層を成膜する工程と、前記エッチストップ層を使用して前記サイドウォールスペーサを保護すべく前記ハードマスク材料層をマスクしてエッチングする工程を有する請求項 5 に記載の小型磁気抵抗ランダムアクセスメモリの製造方法。

【請求項 7】

磁性材料からなるブランケット層を設ける工程と、
トンネルバリア材料からなるブランケット層を磁性材料からなる前記ブランケット層上に

50

成膜する工程と、

前記磁気トンネル接合メモリセルの面積の大きさを決める第1及び第2の端部及びエッジを有した、自由磁性材料からなる層を前記トンネルバリア材料ブランケット層の上に形成する工程と、

前記自由磁性層にエッジが設けられた最上金属層を形成する工程と、

サイドウォールスペーサを前記最上金属層の前記エッジ上に形成する工程と、

前記自由磁性層に重なり、前記サイドウォールスペーサの少なくとも一部に重なるハードマスクを前記最上金属層の前記エッジを超えて延在させるように形成する工程と、

前記ハードマスクを使用して前記トンネルバリア材料ブランケット層及び前記磁性材料ブランケット層をエッチングして、前記自由磁性材料層の前記第1及び第2の端部をほぼ等距離だけ超えて延在するエッジを前記磁性材料ブランケット層に設ける工程とを有する小型磁気トンネル接合メモリセルの製造方法。

10

【請求項8】

分離用トランジスタを載置した半導体基板を設ける工程と、

少なくとも一部が誘電体材料中に形成されている相互接続スタックを前記トランジスタの一端子と接続させて前記基板上に形成する工程と、

ビットラインを前記誘電体材料中の前記相互接続スタックの上端に隣接して設ける工程と、

前記誘電体材料層の上面に前記相互接続スタックに接続させた導電性非磁性材料からなるブランケット層を成膜する工程と、

20

磁性材料からなるブランケット層を前記導電性非磁性材料ブランケット層上に成膜する工程と、

トンネルバリア材料からなるブランケット層を磁性材料からなる前記ブランケット層上に成膜する工程と、

自由磁性材料からなる層を前記ビットラインに重なる位置に設け、最上金属層に前記磁気トンネル接合メモリセルの面積の大きさを決定する第1及び第2の端部及びエッジを設けるべく、前記自由磁性材料層及び自由磁性層の最上金属層を前記トンネルバリア材料ブランケット層上に形成する工程と、

サイドウォールスペーサを前記最上金属層の前記エッジ上に形成する工程と、

前記自由磁性材料層の前記エッジを超えて延在しているハードマスクを、前記自由磁性層に重ね、かつ前記サイドウォールスペーサの少なくとも一部に重ねて形成する工程と、

30

前記自由磁性材料層の前記第1及び第2の端部をほぼ等距離だけ超えて延在するエッジを前記磁性材料ブランケット層に設けるべく、前記ハードマスクを使用して前記トンネルバリア材料ブランケット層、前記磁性材料ブランケット層、及び前記導電性非磁性材料ブランケット層をエッチングする工程とを有する小型磁気抵抗ランダムアクセスメモリの製造方法。

【請求項9】

分離用トランジスタを載置した半導体基板を設ける工程と、

ビットラインを相互接続スタックの上端に隣接して設けるべく、前記基板上に前記トランジスタの一端子と接続している前記相互接続スタックを形成する工程と、

40

前記ビットラインの下方の位置から前記ビットラインの上方の位置にまで延在させるべくビアを前記相互接続スタックの前記上端に設ける工程とを有する小型磁気抵抗ランダムアクセスメモリを製造する方法。

【発明の詳細な説明】

【0001】

本発明はメモリアレイのMRAMセル密度を増大させる装置及び方法に関する。

【0002】

磁気抵抗ランダムアクセスメモリ(MRAM)構造は、複数のメモリセルまたはメモリセルアレイと、交差する複数のデジットラインとビットラインからなる。一般的に用いられる磁気抵抗メモリセルは、磁気トンネル接合(MTJ)、分離用トランジスタ、交差する

50

デジットライン及びビットラインから構成される。一般的に分離用トランジスタは、Nチャネル電界効果トランジスタ（FET）である。相互接続スタックは、分離用トランジスタをMTJデバイスに、ビットラインに、及び、MRAMセルをプログラムすべく磁界の一部を生成するために使用するデジットラインに接続される。MRAMセルの集積化には一般的に、平坦な相互接続バックエンドを利用する標準のCMOSプロセスを用いる。平坦な相互接続バックエンド技術は、タンダステンスタッド相互接続またはダマシン銅相互接続を使用する構造に見られる。CMOSプロセスの相互接続スタックは、アルミニウム／銅または銅をベースにした相互接続材料のいずれであってもよい。CMOSプロセスにおける相互接続層の数は、同一チップに製造される特定のメモリ及びそのメモリに接続されるデバイスに依存して多様である。メモリは何十万ものセルを含んでいるので、各セルがほんの少し小さくなるだけでも、メモリ密度には大きな効果をもたらすこととなる。

10

【0003】

従って、個々のMRAMセル面積を減らしてメモリアレイにおけるMRAMセル密度を改善する装置及び方法を実現することが大いに期待されている。

図1はMRAMセル10の相互接続の断面図であり、標準のCMOSプロセスを用いてライン及びスタックを形成した様子を示している。セル10は半導体基板11を含み、半導体基板11上には分離用トランジスタ12が形成される。標準の公知のCMOSプロセスに従って、ビア及びメタライズ層からなる相互接続スタック13を形成して集積回路とセル10を含むメモリセルアレイとを相互接続する。相互接続スタック13は、いずれも公知の方法により誘電体層を設け、マスクを形成し、エッチングし、金属を堆積させて形成する。また公知の標準的プロセスに従って、分離用トランジスタ12のソース及びドレイン端子上の第1のビアを含む金属をコンタクト層（CNT）と呼ぶ。相互接続の第1層を形成するメタライズ層を第1メタライズ層（M1）と呼ぶ。層M1上に形成されたビアを第1ビア層（Via1）と呼び、次のメタライズ層を第2メタライズ層（M2）とし、続いてビア層Via2、第3メタライズ層M3が続く、さらに特定の装置及び用途に所望の相互接続を設けるために要求される数だけ、多いか少ないかの差はあるが、追加のビア層及びメタライズ層を続けて設ける。

20

【0004】

BViaとして示される層の最後のビア14は、分離用トランジスタ12をここで説明する磁気トンネル接合（MTJ）ビットセルに接続するために設けられる。MDLとして示される他のメタライズ層はMTJビットセル（図示せず）に接続されるデジットライン15を有する。この時点で、標準的作業としてビア14とメタライズ層MDLのデジットライン15との間に、同じリソグラフィ工程を用いてメタライズ接続16を施す。この工程における主要な問題は、接続16がデジットライン15と共に印刷されるために、接続16のサイズ即ち面積がリソグラフィプロセス内での下限または最小面積値となっていることである。一般的に、ライン及び接続が同一リソグラフィ工程で形成される場合、最小長は最小幅の2倍である。また、接続16はデジットライン15から17で示される最小距離だけ離間している必要がある。接続16の最小面積値が、MRAMセル10を縮小し得るサイズを厳しく制約または制限する。同一層に形成される形状の最小距離間隔は異なるリソグラフィ層の形状間隔よりも精度が良い。同一層に形成される形状間隔には重なりエラーは生じない、というのが主な理由である。

30

40

【0005】

次に図2を参照すると、本発明による、図1と同様なMRAMセル10'の相互接続の断面図が示される。図2においては、図1と同様な構成要素には同様な番号を付し、異なる実施形態であることを示すために全ての番号にプライム（'）を付けている。この実施形態においては、相互接続スタック13'の上端のビア14'は、メタライズ層M3と接続する形でプロセスに含まれているが、メタライズ接続16（図1）はプロセスには含まれない。M-Viaとしても示されるメモリビア18'は、全ての中間層を貫通してビア14'と接続される。デジットライン15'は相互接続13'とは別個に形成される。ビア18'の最小面積値はデジットライン15'のリソグラフィ工程には関与しないので、デ

50

ジットライン15'とビア18'ともに最小のリソグラフィとすることができる。従って、相互接続スタック13'からの距離17'のみが制約となる。ビア18'がライン15'と別個に形成される場合、幅対長さの比を1とすることができ、これにより形状の面積に課される要求を最小化することができる。

【0006】

デジットライン15'が完成すると、最後の誘電体層20'を成膜して上面を機械的化学研磨などのよく利用される方法を使用して平坦にする。誘電体層20'は標準の層間誘電体よりもずっと薄くして、デジットライン15'と誘電体層20'の最上面に成膜する磁気素子との磁気結合を増大させる。誘電体層20'は薄いので、ビア18'のアスペクト比を実質的に標準の最小アスペクト比にすることができ、これにより最小面積のビア18'を形成、充填することができる。デジットライン15'はまだ、メモリコア（図示せず）の外で、回路の他の部分のビア14'に接続される必要がある。ビア18'（MVia）はMDLを回路の他の部分から切り離すのでM3には接続できない。ビア18'（MVia）はその使用及び形状面積（形状サイズは一定に保たれる）に制約を受けるので、リソグラフィプロセスを最適化することによりビアと同様のこの小さな形状を形成することができる。最小の形状と最大の形状とを同時に形成するためにリソグラフィプロセスを最適化するということは無理である。

10

【0007】

続いてMRAMセル10'を製造するプロセスにおいて、MTJビットセル（図示せず）の製造プロセスの第1工程で、ブランケット材料層を誘電体層20'の平坦な上面全体に成膜する。一般的にこのブランケット層は、スタック13'の相互接続ビア18'をMTJビットセルに接続するメタライズである。ブランケット層を成膜及び平坦化し、MTJビットセル構成要素が成膜可能となると、あるアライメントキー即ち構造物を層の上に設けて、後続のマスク形成、エッチング工程において正しい位置合わせができるようにする必要がある。このような形でアライメントキーを設けるには、追加の工程が必要となり余分な位置合わせ誤差を招いて次工程における位置合わせずれを大きくする。この問題を解決するために、図3に示すように、本発明はアライメントキーを露出させる斬新なプロセスを用いる。

20

【0008】

より詳細には、図3を参照すると、上部誘電体層20'の薄層を除去して、ビア18'と同一メタライズ層に形成、加工されたアライメントキーを上面よりもわずかに突出させる。上部誘電体層20'の表面からビア18'を突出させる量は、除去及びそれに続く位置合わせに用いるプロセスにほぼ依存するが、この目的のために明確な位置合わせ信号を得るには約300オングストロームの突出であれば十分である。少量の誘電体層20'であれば選択エッチング、機械的化学研磨などの慣用方法を用いて除去することができる。誘電体層20'の一部をビア18'がわずかに突出する程度に除去した後、ブランケット接続メタライズ層22'を成膜する。ビア18'により層22'にパンプ23'が生じ、このパンプが後続の工程においてアライメントキーとして使用される。後続の工程をビア18'に調整する又は合わせることにより、層23'に余分なアライメントキーを形成するよりも位置合わせをより精度良く行うことができる。また、層20'の一部を除去するために工程を追加しても、製造プロセスを実質的に複雑にはしない。何故なら、研磨または平坦化工程はすでに層20'の形成に含まれており、この工程は短時間の処理のみで簡単に済むからである。

30

40

【0009】

次に、図4、5、6を参照すると、MTJメモリセル30の一連の断面図から、磁性層の端部の間隔が均等であることが重要であることがわかる。より詳細には、図4に示すように、MTJメモリセル30は非磁性導電体32を有し、この非磁性導電体はMTJメモリセル30に対してより低い電気コンタクトを形成する。ここで、上記において、図3の層23'は一般的に図4の導電体32と同一である。MTJメモリセル30はさらに、固定磁性層34、層34上に設けられたトンネルバリア層35、及び層35上に設けられた自

50

由磁性層 36 を有する。MTJ メモリセルの製造及び動作については、1998 年 3 月 31 日に発行された「多層磁気トンネル接合メモリセル」と題する特許第 5,702,831 号にさらに詳しく記載されており、ここにおいて参照することにより本発明の開示に含まれるものとする。

【0010】

自由磁性層 36 及び固定磁性層 34 のパターン転写は、MTJ メモリセル 30 のパラメータに大きく影響する。すなわち、自由磁性層 36 の端部が、図 5 に示すように、固定磁性層 34 の端部からほぼ等距離に設けられる場合は、磁束線（図 5 の矢印 37 で示す）は等しく、自由磁性層 36 と固定磁性層 34 とが均等に結合していることを示している。製造プロセス中での重なり又は位置不整合により、図 6 に示すように端部間の距離が等しくない場合は、磁気結合がアンバランスとなる。アンバランスな磁気結合の結果、MTJ メモリセルのヒステリシスループがずれ、当業者には自明のことであるが、セルにおける読み出し、書き込みレベルに差を生じさせる。

【0011】

次に、図 7～14 は、本発明による MTJ メモリセルの製造プロセスを工程順に示す一連の断面図及び上面図である。ここで、簡単のために単一のメモリセルのみを示しているが、一般的にはセルの完成したアレイ（または複数のセルアレイ）が同時に形成されることを理解されたい。

【0012】

より詳細には、図 7、8 を参照すると、MTJ メモリセル 40 は、MTJ メモリセル 40 をビア 41 により低い抵抗で電氣的に接続させる非磁性導電体 42 を含む。デジットライン 43 は図 7 に垂直に紙面に入ったあと出て行くように延び、上述したように、一般的にビア 41 及びデジットライン 43 が誘電体層 47 中に形成される。

【0013】

MTJ メモリセル 40 はさらに固定磁性層 44、層 44 上に位置するトンネルバリア層 45、及び層 45 上に設けられる自由磁性層 46 を有する。層 42、44、45 は各々ブランケット層として成膜され、自由磁性層 46 は公知の方法によってブランケット層 45 上でパターンニングされる。自由磁性層 46 は図 7 の端面図に示され、図 8 の上面図では 90 度回転させて示している。

【0014】

自由磁性層 46 をビア 41 及びデジットライン 43 に相対して所望の位置に成膜した後、図 9 の断面図及び図 10 の上面図に示すように、サイドウォールスペーサ 50 を最上金属層 46 の 4 側面すべてに形成する。サイドウォールスペーサ 50 はサイドウォール形成用の公知のプロセスを用いれば形成することができ、また、周知のように、サイドウォール 50 により決まる厚さまたは間隔はプロセス中に種々の方法を用いて調整することができる。図 11 に示すように、薄いエッチストップ層 52 をブランケット層として MTJ メモリセル 40 の全体を覆う形に成膜させる。図 11 の線 12-12 から観察したときの断面図が図 12 に示される。

【0015】

より詳細には図 13、14 を参照すると、ブランケットハードマスク層 55 がエッチストップ層 52 上に、MTJ メモリセル 40 の全体を覆う形に成膜される。標準のマスク及びエッチング技術を用いて、ハードマスク層 55 を MTJ メモリセル 40 の所望の部分のみに重なる又は所望の部分のみを画定するために形成する。ここで、ハードマスク層 55 にはエッチストップ層 52 に対してエッチング選択性を示す材料であればどのようなものでも含まれることを理解されたい。例えばハードマスク層 55 には窒化アルミニウム (AlN) などのウェットエッチングまたは塩素化学エッチングにより容易にエッチングできる材料が含まれ、この場合のエッチングはエッチストップ層 52 にほとんど影響を及ぼさない、或いは、影響がない。エッチストップ層 52 には、ブランケット層 45、44、42 と一緒にエッチングにより容易にエッチングすることができるシリコン酸化膜などが含まれ、この場合のエッチングはハードマスク層 55 にほとんど影響を及ぼさない、或いは、

影響がない。このようにしてハードマスク層55を成膜、エッチングしてMTJメモリセル40の領域を画定し、次にハードマスクとして用いて層52、45、44及び42をエッチングすると、MTJメモリセル40が形成されることとなる。このプロセスにおいて、サイドウォールスペーサ50を使用して、特に自由磁性層46の端部を固定磁性層44端部から実質的に等距離となるように設ける。

【0016】

より詳細には図15を参照すると、本発明による小型MRAMセル40（各セルは図13、14のセル40と同様である）の完成したアレイ60の模式断面図が示される。各MRAMセル40は、上述したように、基板11'上に形成され載置される相互接続スタック13'及び分離用トランジスタ12'と接続されることとなる。各相互接続スタック13'は延びたビア14'で終わっており（一般的に上述したように）、ビア14'は少なくとも2つの材料層を貫通して延び、通常行われるメタライズによる接続、或いは、ラインによる終端を排除している。アレイ60の各行（または列）に接続されるビットライン62は、延びたビア及び相互接続スタック64を通して分離用トランジスタ12'の一つに接続される。ここで、一つのデジットライン43はアレイ60の各列（または行）に接続されることを理解されたい。この説明では簡単のため、ライン43をここでは「デジットライン」と呼び、ライン62を「ビットライン」と呼ぶが、特定の明細書においては、これらの呼び名を逆にする、または変える（例えば、プログラムライン）ことができ、これらの呼び名により本発明が制限されるものではないことを理解されたい。

10

20

30

40

50

【0017】

このようにして小型磁気抵抗ランダムアクセスメモリセル及び／又はセルアレイの製造方法が開示される。この製造方法には相互接続スタックを数層を貫通して延びるビアで終端させ、ラインによる終端またはメタライズによる接続を不要とする方法が含まれる。メタライズによる接続またはラインによる終端を行う場合、その終端がリソグラフィプロセス内での下限または最小面積値であることが要求されるので、延びたビアを新規に用いることにより各メモリセルの面積を減らすことができ、従って、実質的にメモリセルアレイの全体の面積を減らすことができる。また、ビアの上端が露出し、アライメントキーを形成するので、アライメントキーの形成に通常必要とされる多数の工程を無くすことができ、各メモリセル内の素子の位置合わせ誤差を減らして位置合わせの精度を上げることができる。また、各MTJメモリセルの自由磁性層の端部は固定磁性層の端部から実質的に等距離に位置して、自由磁性層と固定磁性層との間で一貫してバランスした結合が実現される。サイドウォールスペーサ及び選択エッチングを用いることにより端部間の距離を等距離とすることができる。

【0018】

本願出願人は本発明の特定の実施形態を示し、記述してきたが、当該分野の当業者は開示された実施形態にさらなる変形及び改良を加えることが可能である。従って、本願出願人は、本発明は開示した特殊な形態に限定されるものではないことが理解されることを希望し、本発明が添付の請求項の中で本発明の技術思想及び範囲から逸脱しないあらゆる変形を含むものであることを意図する。

【図面の簡単な説明】

【図1】標準のCMOSプロセスを使用してライン及びスタックを形成した様子を示す、MRAMセルに用いられる相互接続の断面図。

【図2】本発明に従って新規の工程を使用してライン及びスタックを形成した様子を示す、図1と同様のMRAMセルに用いられる相互接続の断面図。

【図3】本発明に従って新規のプロセスによりスタックを形成する際の後続の工程を示す、図2と同様の断面図。

【図4】磁性層の端部の均一な間隔が重要であることを示す、MTJメモリセルの一連の断面図。

【図5】磁性層の端部の均一な間隔が重要であることを示す、MTJメモリセルの一連の断面図。

【図 6】磁性層の端部の均一な間隔が重要であることを示す、MTJ メモリセルの一連の断面図。

【図 7】本発明に従って MTJ メモリセルを製造するプロセスにおける連続する工程を示す断面図。

【図 8】本発明に従って MTJ メモリセルを製造するプロセスにおける連続する工程を示す上面図。

【図 9】本発明に従って MTJ メモリセルを製造するプロセスにおける連続する工程を示す断面図。

【図 10】本発明に従って MTJ メモリセルを製造するプロセスにおける連続する工程を示す上面図。

【図 11】本発明に従って MTJ メモリセルを製造するプロセスにおける連続する工程を示す断面図。

【図 12】本発明に従って MTJ メモリセルを製造するプロセスにおける連続する工程を示す上面図。

【図 13】本発明に従って MTJ メモリセルを製造するプロセスにおける連続する工程を示す上面図。

【図 14】図 13 の線 14-14 に沿って観察したときの断面図。

【図 15】本発明に従って完成した小型磁気抵抗ランダムアクセスメモリの模式断面図。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

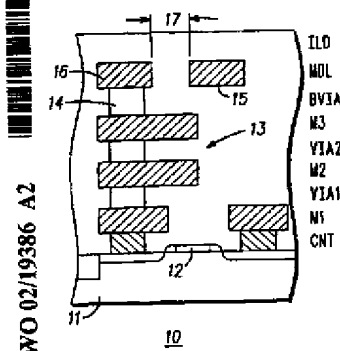
(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
7 March 2002 (07.03.2002)

PCT

(10) International Publication Number
WO 02/19386 A2

- (51) International Patent Classification: H01L
- (21) International Application Number: PCT/US01/23004
- (22) International Filing Date: 9 August 2001 (09.08.2001)
- (23) Filing Language: English
- (24) Publication Language: English
- (30) Priority Data: 09569,114 28 August 2000 (28.08.2000) US
- (71) Applicant: MOTOROLA, INC. [US/US]; 1305 East Algonquin Road, Schaumburg, IL 60196 (US).
- (72) Inventors: DURLAM, Mark; 4976 West Orchid Lane, Chandler, AZ 85226 (US); DEJERRERA, Mark; 2301 San Luis Street, Tempe, AZ 85281 (US); CHEN, Eugene; 1143 West Sherd Drive, Gilbert, AZ 85233 (US); TEHRANI, Saeed; 1917 East Palomino Drive, Tempe, AZ 85284 (US); KERSZYKOWSKI, Gloria; 14040 North Sunflower Drive, Fountain Hills, AZ 85268 (US); NAJJI, Peter, K.; 14028 South 9th Street, Phoenix, AZ 85049 (US); SLAUGHTER, Joe; 9251 South Kinsale Place, Tempe, AZ 85284 (US); KYLER, Kelly, W.; 2303 East Camelot Avenue, Mesa, AZ 85204 (US).
- (74) Agents: WUAMETTI, Jennifer, B. et al. Motorola, Inc., P.O. Box 10219, Scottsdale, AZ 85271-0219 (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GR, GU, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KI, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, EG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- Published: — without international search report and to be republished upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: HIGH DENSITY MRAM CELL ARRAY



(57) Abstract: A method of fabricating an MRAM cell (10) includes providing an isolation transistor (12) on a semiconductor substrate (11) and forming an interconnect stack (13) on the substrate in communication with one terminal of the transistor. A via (14) is formed on the upper end of the stack so as to extend from a position below the digit line (15) to a position above the digit line. The via also extends through the upper surface of a dielectric layer (16) to provide an alignment key. A MTJ memory cell (17) is positioned on the upper surface in contact with the via, and the ends of a fine layer of magnetic material are spaced from the ends of a pinned edge of magnetic material by using sidewall spacers and selective etching.

WO 02/19386 A2

WO 02/19386

PCT/US01/25904

1

HIGH DENSITY MRAM CELL ARRAY

Field of the Invention

5

This invention relates to apparatus and method for increasing the density of MRAM cells in a memory array.

10

Background of the Invention

The architecture for Magnetoresistive Random Access Memory (MRAM) is composed of a plurality or array of memory cells and a plurality of digit and bit line intersections. The magnetoresistive memory cell generally used is composed of a magnetic tunnel junction (MTJ), an isolation transistor, and the intersection of digit and bit lines. The isolation transistor is generally a N-channel field effect transistor (PFT). An interconnect stack connects the isolation transistor to the MTJ device, to the bit line, and to the digit line used to create part of the magnetic field for programming the MRAM cell. A standard CMOS process that utilizes a planar interconnect backend is generally used for the integration of the MRAM cells. Planar backend interconnect schemes are found in architectures using tungsten stud or damascene copper interconnects. The interconnect stack of the CMOS process

can be either Al-Cu or copper based interconnect materials. The number of interconnect layers in the CMOS process may vary, depending upon the specific memory and devices associated with the memory which are fabricated on the same chip. Because the memory includes hundreds of thousands of cells, even small area savings in each cell can result in major advantages in density of the memory.

Accordingly it is highly desirable to provide apparatus and a method of improving the density of MRAM cells in a memory array by reducing the area of individual MRAM cells.

Brief Description of the Drawings

15

Referring to the drawings:

FIG. 1 is a sectional view of an interconnect for an MRAM cell illustrating the use of a standard CMOS process in the line and stack formation;

20

FIG. 2 is a sectional view, similar to FIG. 1, of an interconnect for an MRAM cell illustrating the use of novel steps in accordance with the present invention in the line and stack formation;

25

FIG. 3 is a sectional view, similar to FIG. 2, illustrating further steps in the stack formation in a novel process in accordance with the present invention;

WO 02/19386

PCT/US01/23004

3

FIGS. 4, 5, and 6 are a series of sectional views of an MTJ memory cell illustrating the importance of uniform spacing of the ends of the magnetic layers;

FIGS. 7 through 13 are sectional and top plan views illustrating sequential steps in a process of fabricating an MTJ memory cell in accordance with the present invention;

FIG. 14 is a sectional view as seen from the line 14-14 in FIG. 13; and

FIG. 15 is a simplified sectional view of a complete compact magnetoresistive random access memory cell in accordance with the present invention.

15 Description of the Preferred Embodiments

Referring specifically to FIG. 1, a sectional view of an interconnect for a MRAM cell 10 is illustrated using a standard CMOS process in the line and stack formation.

Cell 10 includes a semiconductor substrate 11 having an isolation transistor 12 formed thereon. In accordance with the standard and well known CMOS process, an interconnect stack 13 of vias and metallization layers are formed to provide the interconnections for the integrated circuit and the memory cell array in which cell 10 is included. Interconnect stack 13 is formed by providing dielectric layers, masking and etching, and metal

WO 02/19386

PCT/US01/25004

4

deposition all in a well known manner. Also in accordance with the standard and well known process, the metal including the first vias on the source and drain terminals of isolation transistor 12 is referred to as the contact layer (CMT). The metalization layer forming the first layer of interconnects is referred to as the first metalization layer (M1). Vias formed on layer M1 are referred to as the first via layer (Via1), the next metalization layer is the second metalization layer (M2), followed sequentially by a via layer Via2, a third metalization layer M3, and as many, more or less, additional via layers and metalization layers as are needed to provide the desired interconnect for the specific apparatus and application.

15 A final via 14, in a layer designated BVia, is provided for connecting isolation transistor 12 to a magnetic tunnel junction (MTJ) bit cell, to be explained presently. Another metalization layer, designated MDL, includes a digit line 15 associated with the MTJ bit cell (not shown). At this point it is standard practice to provide a metalization connection 16 to via 14 and digit line 15 in metalization layer MDL using the same lithography step. The major problem with this procedure is that the size or area of connection 16 has a lower limit or minimum area value within the lithography process, since it is printed with digit line 15. In general, the minimum length is 2 times the minimum width

when lines and connections are included in the same lithography step. Also, connection 16 must be spaced a minimum distance, designated 17, from digit line 15. The minimum area value of connection 16 severely restricts or
5 limits the size to which MRAM cell 10 can be reduced. The minimum distance spacing of features printed on the same layer is better than the spacing between features on different lithography layers. The fundamental reason is that there is no overlay error between features printed on
10 the same layer.

Turning now to FIG. 2, a sectional view, similar to FIG. 1, of an interconnect for an MRAM cell 10' is illustrated in accordance with the present invention. In FIG. 2, components similar to components in FIG. 1 are
15 designated with similar numbers and a prime is added to all numbers to indicate the different embodiment. In this embodiment, a via 14' at the upper end of interconnect stack 13' is included in connection with metalization layer M3, but metalization connection 16 (FIG. 1) is not
20 included in the process. A memory via 18', also designated M-Via, is formed through all of the intervening layers to connect with via 14'. Digit line 15' is formed independent of interconnect stack 13'. Since the minimum area value of via 18' is not included with the digit line
25 15' lithography step both digit line 15' and via 18' can be made to be minimum lithography. Therefore, the only limit is on the distance 17' from interconnect stack 13'.

WO 02/19386

PCT/US01/25004

6

When via 18' is printed independent of line 15' the length to width ratio can be one, thus minimizing the area requirement of the feature.

With digit line 15' completed, a final dielectric layer 20' is deposited and the upper surface is smoothed by some convenient method, such as mechanical polishing or the like. Dielectric layer 20' is made much thinner than standard interlayer dielectric in order to increase magnetic coupling between digit line 15' to the magnetic element deposited on the top surface of dielectric 20'. Since dielectric layer 20' is thin, the aspect ratio of the via 18' is substantially maintained at the standard minimum aspect ratio, therefore making it possible to print and fill minimum geometry via 18'. Digit line 15' still requires a connection to via 14' in other parts of the circuit, outside the memory core (not shown). Via 18' (MVia) cannot connect to M3 because it would disconnect MDL from the other parts of the circuit. Because via 18' (MVia) is restricted in its use and feature size (feature size is held constant), the lithography process can be optimized to print this small feature, similar to a via. The lithography process cannot be optimized to print minimum features and large features concurrently.

Continuing in the process of fabricating MRAM cell 10', a blanket layer of material is deposited over the smoothed upper surface of dielectric layer 20', in a first step of the fabrication process of the MTJ bit cell (not

WO 02/19386

PCT/US01/25004

7

shown). Generally the blanket layer will be a metallization to connect interconnect via 18; of stack 13' to the MTV bit cell. If the blanket layer is deposited and smoothed to allow deposition of the MTV bit cell components, some alignment key or feature must be placed on the layer to allow proper alignment for subsequent masking and etching steps. The provision of the alignment keys in this fashion requires additional steps and introduces additional alignment tolerances which can increase misalignment in subsequent steps. To overcome this problem, a novel process to expose alignment keys is provided in the present invention as illustrated in FIG. 3.

Referring specifically to FIG. 3, a thin layer of upper dielectric layer 20' is removed so that alignment keys printed and processed in the same metallization layer as via 18' protrude slightly above the upper surface. While the amount that via 18' protrudes above the surface of dielectric layer 20' is mostly dependent upon the processes used in removal and subsequent alignment, it has been found that approximately 300Å is an adequate amount to get a clear alignment signal for this purpose. The small amount of dielectric layer 20' can be removed by any convenient method including selective etching, mechanical polishing, etc. With a portion of dielectric layer 20' removed so that via 18' protrudes slightly, a blanket connecting metallization layer 22' is deposited. Via 18'

WO 02/19386

PCT/US01/25004

8

produces a bump 23' in layer 22' which is used as an alignment key in subsequent steps. By keying or aligning subsequent steps to via 18', the alignment is more accurate than it would be by forming an additional alignment key in layer 23'. Also, the addition of the step to remove a portion of layer 20' does not add substantially to the complexity of the fabrication process, since a polishing or smoothing step is already included for layer 20' and this step is simply performed for an additional short period of time.

Turning now to FIGS. 4, 5, and 6, a series of sectional views of an MTJ memory cell 30 are illustrated to explain the importance of uniform spacing of the ends of the magnetic layers. As illustrated specifically in FIG. 4, MTJ memory cell 30 includes a non-magnetic conductor 32 forming a lower electrical contact for MTJ memory cell 30. Note that, in the above description, layer 23' of FIG. 3 is generally the same as conductor 32 in FIG. 4. MTJ memory cell 30 further includes a pinned magnetic layer 34, a tunnel barrier layer 35 positioned on layer 34, and a free magnetic layer 36 positioned on layer 35. Additional information as to the fabrication and operation of MTJ memory cells can be found in Patent No. 5,702,831, entitled "Multi-Layer Magnetic Tunneling Junction Memory Cells", issued 31 March 1998, and incorporated herein by reference.

It should be noted that the pattern transfer of free magnetic layer 36 and pinned magnetic layer 34 is important to the parameters of MTJ memory cell 30. That is, when the ends of free magnetic layer 36 are positioned substantially equal distances from the ends of pinned magnetic layer 34, as illustrated in FIG. 5, the magnetic flux lines (illustrated by arrows 37 in FIG. 5) are equal, indicating a balanced coupling between free magnetic layer 36 and pinned magnetic layer 34. When the distances between the ends are unequal, as illustrated in FIG. 6, due to overlay or misregistration during the fabrication process, an unbalanced magnetic coupling results. The effect of the unbalanced magnetic coupling is a shift in the hysteresis loop for the MTJ memory cell which, as will be understood by those skilled in the art, produces a difference in the reading and writing levels for the cell.

Turning now to FIG. 7 through FIG. 14, a series of sectional and top views are shown illustrating sequential steps in a fabrication process for an MTJ memory cell in accordance with the present invention. Here it should be understood that only a single memory cell is illustrated for convenience but generally a complete array of cells (or arrays of cells) will be formed simultaneously. Referring specifically to FIGS. 7 and 8, MTJ memory cell 40 includes a non-magnetic conductor 42 forming a lower electrical contact for MTJ memory cell 40 to a via 41. A digit line 43 extends perpendicular to FIG. 7, into and

out of the paper with via 41 and digit line 43 formed in a dielectric layer 47 generally as described above. MTJ memory cell 40 further includes a pinned magnetic layer 44, a tunnel barrier layer 45 positioned on layer 44, and a free magnetic layer 46 positioned on layer 45. Layers 42, 44, and 45 are each deposited as blanket layers and free magnetic layer 46 is patterned onto blanket layer 45 in a well known manner. Free magnetic layer 46 is illustrated in and view in FIG. 7 and is rotated ninety degrees in the top plan view illustrated in FIG. 8.

With free magnetic layer 46 deposited in a desired position relative to via 41 and digit line 43, sidewall spacer 50 is formed on all four sides of top metal layer 46, as illustrated in the sectional view of FIG. 9 and the top plan view of FIG. 10. Sidewall spacer 50 may be formed using any of the well known processes for the formation of sidewalls and, as is known in the art, the thickness or spacing provided by sidewall 50 can be adjusted in a variety of ways during the process. A thin etch stop layer 52 is deposited as a blanket layer over the entire area of MTJ memory cell 40, as illustrated in FIG. 11. A sectional view, as seen from a line 12-12 in FIG. 11 is illustrated in FIG. 12.

Referring specifically to FIGS. 13 and 14, a blanket hardmask layer 55 is deposited over the entire area of MTJ memory cell 40 on etch stop layer 52. Using standard mask and etch techniques, hardmask layer 55 is formed to

11

overlie or define only a desired portion of MTJ memory cell 40. Here it will be understood that hardmask layer 55 can include any material which is capable of being selectively etched relative to etch stop layer 52. For example, hardmask layer 55 can include aluminum nitride (AlN) or the like which can be conveniently etched with a wet etch or a chlorine chemistry etch that will have little or no effect on etch stop layer 52. Etch stop layer 52 can include a silicon oxide or the like which can be conveniently etched, along with blanket layers 45, 44, and 42 by an etch that will have little or no effect on hardmask layer 55. Thus, hardmask layer 55 is deposited and etched to define the limits of MTJ memory cell 40 and is then used as a hardmask to etch layers 52, 45, 44, and 42 to actually form MTJ memory cell 40. In this process, sidewall spacer 50 is used to specifically position the ends of free magnetic layer 46 substantially equal distances from the ends of pinned magnetic layer 44.

Referring specifically to FIG. 15, a simplified sectional view of a complete array 60 of compact MRAM cells 40 (each cell being similar to cell 40 of FIGS. 13 and 14) in accordance with the present invention. Each MRAM cell 40 has associated therewith an interconnect stack 13' and an isolation transistor 12', all formed on and supported by a substrate 11', as explained above. Each interconnect stack 13' is terminated in an extended via 14' (generally as described above) that extends

WO 02/19386

PCT/US91/25004

12

through at least two layers of material and eliminates the metalization connection or line termination normally used. A bit line 62, associated with each row (or column) of array 60 is connected through an extended via and

5 interconnect stack 64 to one of the isolation transistors 12'. Here it should be understood that one digit line 43 is associated with each column (or row) of array 60. While lines 43 are referred to herein as "digit lines" and lines 62 are referred to as "bit lines" for convenience in

10 this explanation, it will be understood that these titles could be reversed or changed in specific applications (e.g., program lines) and are not intended to in any way limit the invention.

Thus, a method of fabricating a compact

15 magnetoresistive random access memory cell and/or an array of cells is disclosed. The method includes terminating interconnect stacks with a via, which extends through several layers, to eliminate the need for a line termination or metalization connection. Since the

20 metalization connection or line termination requires a lower limit or minimum area value within the lithography process, the novel use of the extended via reduces the area of each memory cell and, therefore, substantially reduces the overall area of an array of memory cells.

25 Also, the upper end of the via is exposed and used to form an alignment key, which eliminates a number of steps normally required for the formation of alignment keys and

WO 02/19386

PCT/US01/25004

13

reduces alignment tolerances for better alignment of components within each memory cell. Further, the ends of the free magnetic layer in each MTJ memory cell are positioned substantially equal distances from the ends of the pinned magnetic layer so that a balanced coupling between the free magnetic layer and the pinned magnetic layer is consistently achieved. The equal distances of the ends are accomplished through the use of sidewall spacers and selective etching.

10 While we have shown and described specific embodiments of the present invention, further modifications and improvements will occur to those skilled in the art. We desire it to be understood, therefore, that this invention is not limited to the particular forms shown and we intend in the appended claims to cover all modifications that do not depart from the spirit and scope of this invention.

WO 02/19386

PCT/US01/23004

14

What is claimed is:

1. A method of fabricating a compact magnetoresistive random access memory cell comprising the steps of:
 - 5 providing a semiconductor substrate having an isolation transistor thereon;
 - forming an interconnect stack on the substrate in communication with one terminal of the transistor;
 - positioning a bit line adjacent an upper end of the interconnect stack; and
 - 10 forming a via on the upper end of the interconnect stack so as to extend from a position below the bit line to a position above the bit line.
- 15 2. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 1 wherein the step of forming the via includes extending the via through at least two layers of material.
- 20 3. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 1 wherein the step of forming the via includes providing a layer of dielectric material covering the bit line and surrounding an upper end of the via, the layer of dielectric material
- 25 having an upper surface.

WO 02/19386

PCT/US01/25004

15

4. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 3 wherein the step of providing the layer of dielectric material includes forming the layer of dielectric material so that
5 the upper end of the via extends above the upper surface of the layer of dielectric material to provide an alignment key.

5. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 4 including
10 in addition a step of positioning a magnetic tunnel junction memory cell on the upper surface of the layer of dielectric material.

6. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 5 wherein the magnetic tunnel junction memory cell is formed in a stack of layers and a programming line is formed in a
15 layer below the magnetic tunnel junction.

20

7. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 6 wherein the step of positioning the magnetic tunnel junction memory cell on the upper surface of the layer of
25 dielectric material includes positioning a non-magnetic conductor on the upper surface of the layer of dielectric material and in contact with the via.

8. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 7 wherein the step of positioning the magnetic tunnel junction
5 memory cell on the upper surface of the layer of dielectric material further includes the steps of positioning a pinned layer of magnetic material on the non-magnetic conductor, positioning a tunnel barrier on the pinned layer of magnetic material, and positioning a
10 free layer of magnetic material on the tunnel barrier.

9. A method of fabricating a compact magnetoresistive random access memory cell as claimed in claim 5 wherein the step of positioning the magnetic tunnel junction
15 memory cell on the upper surface of the layer of dielectric material includes the steps of:
depositing a blanket layer of conductive non-magnetic material on the upper surface of the layer of dielectric material and in contact with the via;
20 depositing a blanket layer of magnetic material on the blanket layer of conductive non-magnetic material;
depositing a blanket layer of tunnel barrier material on the blanket layer of magnetic material;
forming a layer of free magnetic material on the
25 blanket layer of tunnel barrier material and a top metal layer of top of the free magnetic layer, the layer of free magnetic material being positioned in overlying

WO 02/19386

PCT/US01/25004

17

relationship to the bit line, the top metal layer having first and second ends and edges defining an extent for an area of the magnetic tunnel junction memory cell;

forming sidewall spacers on the edges of the top

5 metal layer;

forming a hard mask overlying the top metal layer and at least portions of the sidewall spacers, the hard mask extending beyond the edges of the layer of free magnetic material; and

10 using the hard mask, etching the blanket layer of tunnel barrier material, the blanket layer of magnetic material, and the blanket layer of conductive non-magnetic material to provide the blanket layer of magnetic material with edges which extend beyond the first and second ends
15 of the layer of free magnetic material substantially equal distances.

10. A method of fabricating a compact
magnetoresistive random access memory cell as claimed in
20 claim 9 wherein the step of forming the hard mask includes the steps of depositing a blanket layer of etch stop material in overlying relationship to the layer of free magnetic material and the sidewall spacers, depositing a blanket layer of hard mask material, and masking and
25 etching the layer of hard mask material using the etch stop layer to protect the sidewall spacers.

WO 02/19386

PCT/US01/25004

18

11. A method of fabricating a compact
magnetoresistive random access memory cell as claimed in
claim 10 wherein the step of etching the blanket layer of
tunnel barrier material includes using the hard mask to
5 etch the etch stop layer.

12. A method of fabricating a compact
magnetoresistive random access memory cell as claimed in
claim 10 wherein the step of forming the layer of free
10 magnetic material includes depositing a contact layer of
non-magnetic conductive material on an upper surface of
the layer of free magnetic material.

13. A method of fabricating a compact
15 magnetoresistive random access memory cell as claimed in
claim 12 including in addition the steps of forming a via
through the hard mask and forming another of a bit line
and a digit line in overlying relationship to the hard
mask and in contact with the contact layer of non-magnetic
20 conductive material through the via.

14. A method of fabricating a compact magnetic tunnel
junction memory cell comprising the steps of:
providing a blanket layer of magnetic material;
25 depositing a blanket layer of tunnel barrier material
on the blanket layer of magnetic material;

WO 02/19386

PCT/US01/25904

19

- forming a layer of free magnetic material on the blanket layer of tunnel barrier material, the layer of free magnetic material having first and second ends and edges defining an extent for an area of the magnetic tunnel junction memory cell;
- 5 forming a top metal layer with edges on the free magnetic layer;
- forming sidewall spacers on the edges of the top metal layer;
- 10 forming a hard mask overlying the free magnetic layer and at least portions of the sidewall spacers, the hard mask extending beyond the edges of the top metal layer; and
- using the hard mask, etching the blanket layer of tunnel barrier material and the blanket layer of magnetic material to provide the blanket layer of magnetic material with edges which extend beyond the first and second ends of the layer of free magnetic material substantially equal distances.
- 15
- 20 15. A method of fabricating a compact magnetoresistive random access memory cell comprising the steps of:
- providing a semiconductor substrate having an isolation transistor thereon;
- 25 forming an interconnect stack on the substrate in communication with one terminal of the transistor, the

WO 02/19386

PCT/US01/25004

20

interconnect stack being formed at least partially in dielectric material;

positioning a bit line adjacent an upper end of the interconnect stack in the dielectric material;

- 5 depositing a blanket layer of conductive non-magnetic material on an upper surface of the layer of dielectric material in communication with the interconnect stack;

depositing a blanket layer of magnetic material on the blanket layer of conductive non-magnetic material;

- 10 depositing a blanket layer of tunnel barrier material on the blanket layer of magnetic material;

forming a layer of free magnetic material on the blanket layer of tunnel barrier material and a top metal layer on the free magnetic layer, the layer of free

- 15 magnetic material being positioned in overlying relationship to the bit line, the top metal layer having first and second ends and edges defining an extent for an area of the magnetic tunnel junction memory cell;

forming sidewall spacers on the edges of the top

- 20 metal layer;

forming a hard mask overlying the free magnetic layer and at least portions of the sidewall spacers, the hard mask extending beyond the edges of the layer of free magnetic material; and

- 25 using the hard mask, etching the blanket layer of tunnel barrier material, the blanket layer of magnetic material, and the blanket layer of conductive non-magnetic

WO 02/19386

PCT/US01/25004

21

material to provide the blanket layer of magnetic material with edges which extend beyond the first and second ends of the layer of free magnetic material substantially equal distances.

5

16. A compact magnetoresistive random access memory cell comprising:

a semiconductor substrate having an isolation transistor therein;

10 an interconnect stack formed on the substrate and coupled to one terminal of the transistor;

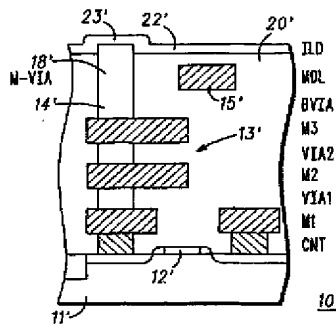
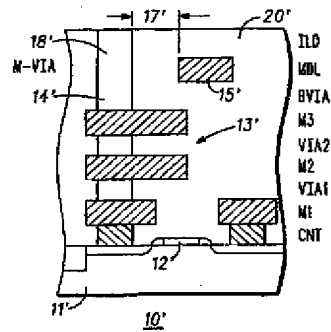
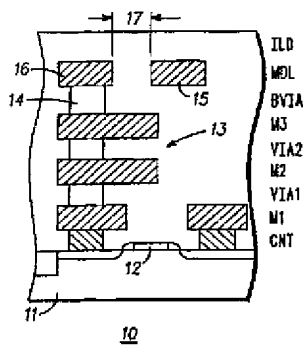
a bit line positioned adjacent an upper end of the interconnect stack; and

15 a via formed on the upper end of the interconnect stack and extending from a position below the bit line to a position above the bit line.

WO 02/19386

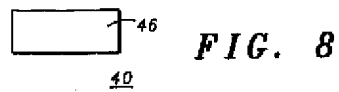
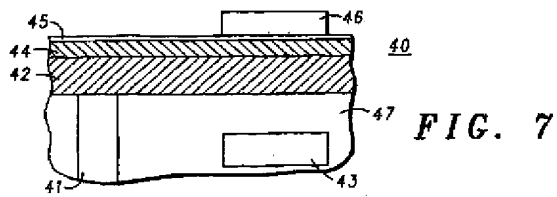
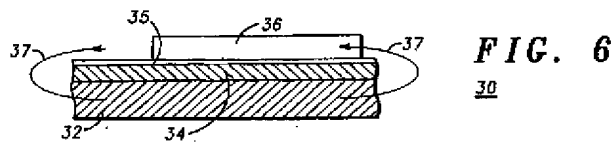
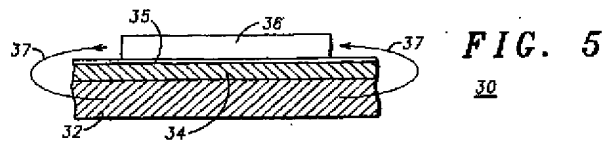
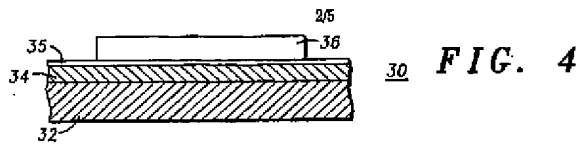
PCT/US01/25004

1/5

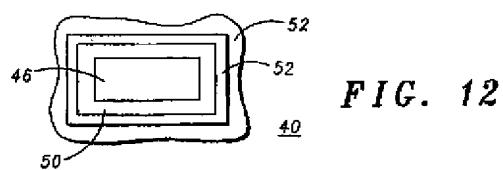
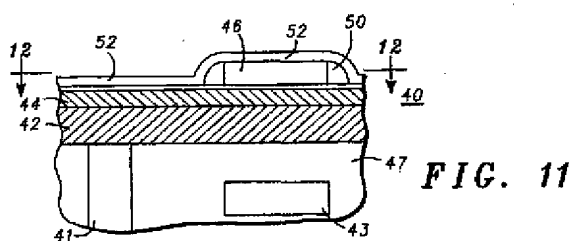
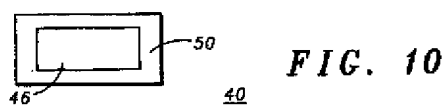
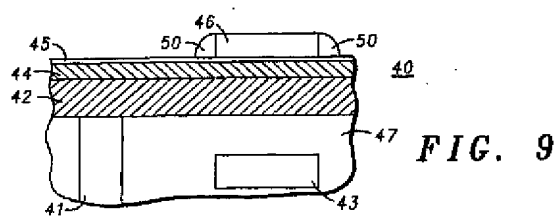


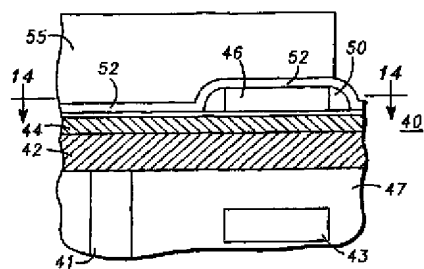
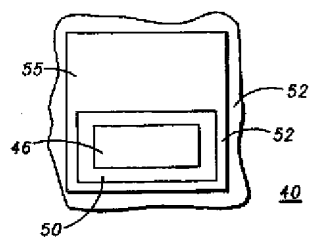
WO 02/9386

PCT/US01/25004



3/5



*FIG. 13**FIG. 14*

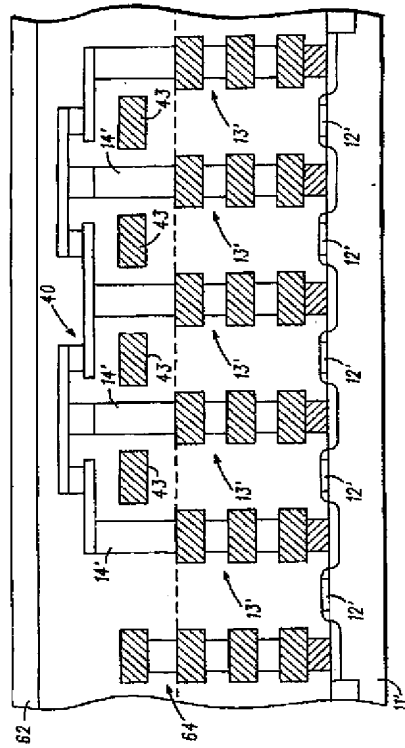


FIG. 15

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(10) International Publication Number
WO 02/019386 A3(43) International Publication Date
7 March 2002 (07.03.2002)

PCT

(51) International Patent Classification: H01L 21/8246,
27/22

(21) International Application Number: PCT/US01/25004

(22) International Filing Date: 9 August 2001 (09.08.2001)

(23) Filing Language: English

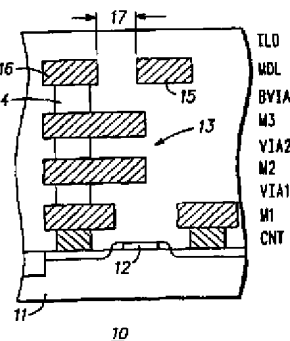
(24) Publication Language: English

(30) Priority Date: 09/09/99, 114 28 August 2000 (28.08.2000) US

(71) Applicant: MOTOROLA, INC. (US/US); 1303 Linn
Algonquin Road, Schaumburg, IL 60196 (US)(72) Inventors: DURLAM, Mark; 4076 West Orchid Lane,
Chandler, AZ 85226 (US); DEHERRERA, Mark; 2301
East Laird Street, Tempe, AZ 85281 (US); CHEN, Eu-
gen; 1143 West Sherri Drive, Gilbert, AZ 85233 (US);
TEHRANI, Saeed; 1917 East Palomino Drive, Tempe, AZ
85284 (US); KERSZYKOWSKA, Gloria; 14049 NorthSundowner Drive, Fountain Hills, AZ 85268 (US); NAJIL,
Pawel, Jr.; 14528 South 9th Street, Phoenix, AZ 85048
(US); SLAUGHTER, Jon; 9251 South Kenneth Place,
Tempe, AZ 85284 (US); KYLER, Kelly, W.; 1303 East
Gazett Avenue, Mesa, AZ 85204 (US)(74) Agents: WUAMETT, Jennifer B. et al.; Motorola, Inc.,
PO Box 10319, Scottsdale, AZ 85271-0219 (US)(81) Designated States (national): AT, AG, AI, AM, AU, AU,
AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU,
CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GR,
GM, HR, HU, ID, IL, IN, IS, JP, KG, KH, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MA, MD, ME, MK, MN, MW,
MX, MY, NZ, NI, NO, PL, PT, RO, RU, SD, SE, SG, SI, SK,
SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.(84) Designated States (regional): ARIPO patent (GI, GM,
KL, LS, MW, NZ, SD, SL, SZ, TZ, UG, ZW), Eurasian
patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European
patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, HU,
IT, LU, MC, NL, PT, SE, SI, TR), OAPI patent (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NR, SN, TD,
TG).

(Continued on next page)

(54) Title: HIGH DENSITY MRAM CELL ARRAY



(57) Abstract: A method of fabricating an MRAM cell (10) includes providing an isolation transistor (12) on a semiconductor substrate (11) and forming an interconnect stack (13) on the substrate in communication with one terminal of the transistor. A via (14) is formed on the upper end of the stack so as to extend from a position below the digit line (15) to a position above the digit line. The via also extends above the upper surface of a dielectric layer (20) to provide an alignment key. A MTJ memory cell is positioned on the upper surface in contact with the via, and the ends of a free layer of magnetic material are spaced from the ends of a pinned layer of magnetic material by using sidewall spacers and selective etching.

WO 02/019386 A3

WO 02/019386 A3

**Published:**

- with international search report
- before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(88) Date of publication of the international search report:
23 January 2003

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Patent Application No. PCT/US 01/25004
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/8246 H01L27/22		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. PRIOR ART SEARCHED Mailed documents searched (classification system followed by classification symbols) IPC 7 H01L		
Documents searched other than minimum documentation to the extent that such documents are included in the MAILED DOCUMENTS		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-internal, WPI Data, PAO, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of documents, with indication, where appropriate, of the relevant passages	Relevant to claim of:
Y	US 5 940 319 A (KERSZYKOWSKI GLORIA ET AL) 17 August 1999 (1999-08-17) figures 6,7 column 4, paragraph 2 - paragraph 3	14
Y	US 5 804 458 A (DURLAM MARK ET AL) 8 September 1998 (1998-09-08) figures 1-6 column 2, line 58 - column 4, line 17	14
A	US 5 861 328 A (CHEM EUGENE ET AL) 19 January 1999 (1999-01-19) figure 4 column 4, line 36 - line 65 --	1,14-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
"A" document containing the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" documents which may throw doubt on priority claims or which is cited to establish the publication date of another claim or other related matter (as specified) "O" document relating to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
"T" later document published after the international filing date or priority date and not in conflict with the specification but cited to understand the principle or theory underlying the invention "X" document of particular relevance the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other cited documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 7 November 2002		Date of mailing of the international search report 14/11/2002
Name and address of the ISA European Patent Office, P.O. Box 1, 5100 Patentlaan 2 NL-2008 WB Rijswijk Tel. (+31-70) 340-6040, Th. 31 301 40 04 Fax (+31-70) 340-3010		Authorized officer Visscher, E

Form PCT/ISA/210 (second sheet) July 1992

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 01/25004

C/Others (summarized) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication where appropriate, of the relevant passages	Relevant to claim(s)
A	WO 00 04555 A (BERTAGNOLLI EMERICH; GOEBEL BERND (DE); JACOBS HERMANN (DE); SIEM) 27 January 2000 (2000-01-27) figure 12A page 31, line 20 - line 33	1, 16
E	US 2001/035545 A1 (SCHUSTER-WOLDAN HANS ET AL) 1 November 2001 (2001-11-01) figure 4 page 3, column 1, paragraph 2 - column 2, paragraph 2	1, 16
E	PATENT ABSTRACTS OF JAPAN vol. 2002, no. 10, 10 October 2002 (2002-10-10) - & JP 2002 170374 A (CANON INC), 14 June 2002 (2002-06-14) abstract figures 2, 6A-6G	1, 16
E	PATENT ABSTRACTS OF JAPAN vol. 2002, no. 09, 4 September 2002 (2002-09-04) - & JP 2002 141481 A (CANON INC), 17 May 2002 (2002-05-17) abstract figures 9-21	1, 16

Form PCT/IB/2002 (publication of international search report)

INTERNATIONAL SEARCH REPORT

Information on patent family members

In International Application No.
PCT/US 01/25004

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5940319	A	17-08-1999	TW 466486 B US 6174737 B1	01-12-2001 16-01-2001
US 5804468	A	08-09-1998	NONE	
US 5861328	A	19-01-1999	NONE	
WO 0004555	A	27-01-2000	WO 0004555 A2 EP 1097457 A2 JP 2002520874 T TW 439062 B US 2001024380 A1	27-01-2000 09-05-2001 09-07-2002 07-06-2001 27-09-2001
US 2001036545	A1	01-11-2001	DE 10020128 A1 CN 1321985 A EP 1148811 A2 JP 2001358315 A	18-10-2001 14-11-2001 24-10-2001 26-12-2001
JP 2002170374	A	14-06-2002	NONE	
JP 2002141481	A	17-05-2002	US 2002057594 A1	16-05-2002

Form PCT/ISA/210 (patent family annex) (July 2000)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 デエレラ、マーク

アメリカ合衆国 85281 アリゾナ州 テンペ イースト レアド ストリート 2301

(72)発明者 チェン、ユージン

アメリカ合衆国 85233 アリゾナ州 ギルバート ウェスト シェリ ドライブ 1143

(72)発明者 テラニ、サイード

アメリカ合衆国 85284 アリゾナ州 テンペ イースト パロミノ ドライブ 1917

(72)発明者 カースジーコウスキー、グロリア

アメリカ合衆国 85268 アリゾナ州 ファウンテン ヒルズ ノース サンフラワー ドライブ 14040

(72)発明者 ナジ、ピーター ケイ、

アメリカ合衆国 85048 アリゾナ州 フェニックス サウス ナインス ストリート 14028

(72)発明者 スローター、ジョン

アメリカ合衆国 85284 アリゾナ州 テンペ サウス ケネス プレイス 9251

(72)発明者 カイラー、ケリー ダブリュ、

アメリカ合衆国 85204 アリゾナ州 メサ イースト ガーネット アベニュー 2303

Fターム(参考) 5F083 FZ10 GA09 KA05 KA20 PRO1 PRO6 PRO7 PRO9 PR38 PR40